

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

BYOUNG SUNG KIM, ET AL.

Application No.:

Filed:

For: **SYNCHRONOUS TRANSFER
MODE-256 ADDER/DROPPER**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2003-0013607	5 March 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 6/23/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139

**KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

Application Number:: Korean Patent Application 2003-0013607

Date of Application:: 05 March 2003

Applicant(s) : Electronics and Telecommunications Research Institute

02 April 2003

COMMISSIONER

[Bibliography]

[Document Name]	Patent Application
[Classification]	Patent
[Receiver]	Commissioner
[Reference No.]	0004
[Filing Date]	5 March 2003
[IPC]	H04B
[Title]	Synchronous transfer mode-256 adder/dropper
[Applicant]	
[Name]	Electronics and Telecommunications Research Institute
[Applicant code]	3-1998-007763-8
[Attorney]	
[Name]	Youngpil Lee
[Attorney code]	9-1998-000334-6
[General Power of Attorney Registration No.]	2001-038378-6
[Attorney]	
[Name]	Haeyoung Lee
[Attorney code]	9-1999-000227-4
[General Power of Attorney Registration No.]	2001-038396-8
[Inventor]	
[Name]	KIM, Byoung Sung
[Resident Registration No.]	720228-1268011
[Zip Code]	220-110
[Address]	10/7, 226-36 Gaeun-dong, Wonju-city, Gangwon-do Rep. Of Korea
[Nationality]	Republic of Korea
[Inventor]	
[Name]	KO, Je Soo
[Resident Registration No.]	600330-1849918
[Zip Code]	305-390
[Address]	302-1203 Expo Apt., Jeonmin-dong, Yusong-gu Daejeon-city, Rep. Of Korea

[Nationality] Republic of Korea

[Request for
Examination] Requested

[Purpose] We file as above according to Art. 42 of the Patent Law, request the
examination as above according to Art. 60 of the Patent Law.
Attorney Youngpil Lee
Attorney Haeyoung Lee

[Fee]

[Basic page] 20 Sheet(s) 29,000 won

[Additional page] 4 Sheet(S) 4,000 won

[Priority claiming fee] 0 Case(S) 0 won

[Examination fee] 14 Claim(s) 557,000 won

[Total] 590,000 won

[Reason for Reduction] Government Invented Research Institution

[Fee after Reduction] 295,000 won

[Transfer of Technology] Allowable

[Licensing] Allowable

[Technology Training] Allowable

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0013607
Application Number

출원년월일 : 2003년 03월 05일
Date of Application MAR 05, 2003

출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institute



2003 년 04 월 02 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.03.05
【국제특허분류】	H04B
【발명의 명칭】	S T M - 2 5 6 삽입추출기
【발명의 영문명칭】	Synchronous transfer mode-256 adder/dropper
【출원인】	
【명칭】	한국전 자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2001-038378-6
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2001-038396-8
【발명자】	
【성명의 국문표기】	김병성
【성명의 영문표기】	KIM, Byoung Sung
【주민등록번호】	720228-1268011
【우편번호】	220-110
【주소】	강원도 원주시 개운동 226-36 10/7
【국적】	KR
【발명자】	
【성명의 국문표기】	고제수
【성명의 영문표기】	K0, Je Soo
【주민등록번호】	600330-1849918

【우편번호】	305-390
【주소】	대전광역시 유성구 전민동 엑스포아파트 302동 1203호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	14 항 557,000 원
【합계】	590,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	295,000 원
【기술이전】	
【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 4 채널의 STM-64 광 채널을 수용하여 STM-256 전기신호로 다중화 하는 장치에서 STM-64 광 채널들간의 통신경로를 제공하는 STM-256 삽입추출기에 관한 것으로서, 상기 STM-256 삽입추출기는 하위 속도의 STM 신호를 다중화 하여 전송하는 기능뿐 아니라 하위 채널들간의 통신경로를 제공한다. 따라서, 하위 STM-64 서브망간에 별도의 통신선로 없이도 저속의 데이터 통신 및 유지보수신호의 통신을 할 수 있으며, STM-256 프레임어 및 각 광송수신기에 동기화된 데이터를 제공해 줄 수 있는 효과가 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

S T M - 2 5 6 삽입추출기{Synchronous transfer mode-256 adder/dropper}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 실시예에 따른 STM-256 삽입추출기를 구비한 4채널 STM-64 종속신호 수용시스템의 블록도이다.

도 2는 도 1에 도시된 STM-256 삽입추출기의 상세 블록도이다.

도 3은 도 2에 도시된 STM-64 삽입추출기를 위한 STM-64 데이터 프레임의 구조를 보여주는 도면이다.

도 4는 도 2에 도시된 STM-256 삽입추출기를 구성하는 각 STM-64 삽입추출기들의 내부 클럭 연결 관계를 보여주는 도면이다.

도 5는 도 4에 도시된 STM-64 추출기에 대한 클럭 및 데이터 흐름의 예를 보여주는 도면이다.

도 6은 도 4에 도시된 STM-64 삽입기에 대한 클럭 및 데이터 흐름의 예를 보여주는 도면이다.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : STM-256 프레이머 200 : STM-256 삽입추출기

300 : 광송수신기 400 : STM-64 종속망

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 광 신호를 다중화 하는 장치에 관한 것으로, 특히 4 채널의 STM-64 광 채널을 수용하여 STM-256 전기신호로 다중화 하는 장치에서 STM-64 광 채널들간의 통신 경로를 제공하는 것을 목적으로 하는 STM-256 삽입추출기에 관한 것이다.

<11> 하위 속도의 동기전송방식(Synchronous Transfer Mode ; STM) 신호를 다중화 하여 전송하는 종래의 광 전송장치는, 대한민국 특허 등록번호 제 10-0256689호, "분기 결합용 광전송 장치"와 같이 STM 신호들을 다중화 하는 기능만을 제공하고 있고, 경우에 따라서는 광 선로상의 한 노드에서 망으로 STM 신호를 분기 삽입하는 기능만을 제공하고 있다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명이 이루고자 하는 기술적 과제는, 기존의 종속신호 수용시스템 내에서 종속 신호를 다중화 하여 전송하고, 하위 채널들간의 통신경로를 제공함으로써, 하위 서브망 간에 별도의 통신선로 없이도 저속의 데이터 통신과 유지보수신호의 통신을 가능케 할 수 있는 STM-256 삽입추출기를 제공하는데 있다.

<13> 본 발명이 이루고자 하는 다른 기술적 과제는, 4 채널의 STM-64의 전기신호 각각을 서로 동기화 시킴으로써, STM-256 프레임러를 위한 동기화 기능을 수행할 수 있는 STM-256 삽입추출기를 제공하는데 있다.

【발명의 구성 및 작용】

- <14> 상기의 과제를 이루기 위하여 본 발명에 의한 STM-256 삽입추출기는, STM(Synchronous Transfer Mode)-256 프레임머와 광송수신기 사이에서 저속의 STM 신호에 대한 다중화, 및 상기 STM 신호에 대한 삽입 및 추출을 수행하고, 상기 STM-256 프레임머 및 상기 광송수신기에 동기화된 데이터를 제공해주는 제 1 내지 제 4 STM-64 삽입추출기; 및 상기 STM-64 삽입추출기들의 데이터 입출력에 관한 스위칭을 수행하는 스위치부를 포함하는 것을 특징으로 한다.
- <15> 이하에서, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명한다.
- <16> 도 1은 본 발명의 바람직한 실시예에 따른 STM-256 삽입추출기(200)를 구비한 4채널 STM-64 중속신호 수용시스템의 블록도이고, 도 2는 도 1에 도시된 STM-256 삽입추출기(200)의 상세 블록도이다.
- <17> 도 1을 참조하면, 본 발명에 따른 STM-256 삽입추출기(200)는 광송수신기(300)의 전기 인터페이스 측과 STM-256 프레임머(STM-256 framer ; 100)의 하위망 측 사이에 연결된다. 아래에서 상세히 설명되겠지만, STM-256 삽입추출기(200)는 4 개의 STM-64 삽입추출기들(210, 220, ..., 240)을 포함하고, 이들은 하위 속도의 STM 신호를 다중화 하여 전송하고, 하위 채널들간의 통신 경로를 제공한다.
- <18> 광송수신기(300)는 4 개의 STM-64 광송수신기(310, 320, ..., 340)로 구성되며, STM-256 삽입추출기(200)를 구성하는 각각의 STM-64 삽입추출기들(210, 220, ..., 240)과

데이터 송수신을 수행한다. 그리고, 각각의 STM-64 광송수신기(310, 320, -, 340)는 각각의 STM-64 중속망(410, 420, -, 440)과 연결된다.

<19> 도 2를 참조하면, 본 발명에 따른 STM-256 삽입추출기(200)는 4 개의 STM-64 삽입추출기들(210, 220, -, 240)과, 1 개의 4×4 전기스위치(250)로 구성되어, 별도의 통신선로 없이 하위 서브망간에 저속의 데이터 통신과 유지보수신호의 통신을 수행한다. 그리고, STM-256 삽입추출기(200)는 4 채널의 STM-64 삽입추출기(210, 220, -, 240)의 전기 신호를 서로 동기시킴으로써, STM-256 프레이머(100)를 위한 동기화 기능을 수행한다.

<20> 이 같은 STM-256 삽입추출기(200)의 동작을 설명하기에 앞서, STM-256 삽입추출기(200)와 하위 서브망 사이의 접속 관계를 살펴보면 다음과 같다.

<21> 도 1 및 도 2를 참조하면, 각각의 광송수신기(310, 320, -, 340)로부터 STM-256 삽입추출기(200)를 구성하는 각각의 STM-64 삽입추출기(210, 220, -, 240)로의 상향접속에 있어서, 각각의 STM-64 삽입추출기(210, 220, -, 240)는 각각의 광송수신기(310, 320, -, 340)로부터 16개 채널의 622 Mbps 전기데이터신호(DATA)와 1개의 622 MHz 클럭신호(CLK)를 받아들인다. 이 때, 각 채널의 전기데이터신호(DATA)와 클럭신호(CLK)는 서로 동기화 되어 있다. 그리고, STM-64 삽입추출기(210, 220, -, 240)로부터 각 광송수신기(310, 320, -, 340)로의 하향접속에 있어서, 각각의 STM-64 삽입추출기(210, 220, -, 240)는 각각의 광송수신기(310, 320, -, 340)에게 16개 채널의 622 Mbps 전기신호(DATA)와 1개의 622 MHz 클럭신호(CLK)를 전달한다. 이 때, 각 채널의 전기데이터신호(DATA)와 클럭신호(CLK)는 서로 동기된다. 여기서, STM-256 삽입추출기(200)와 하위 서

브랑 사이에서 송수신되는 각각의 전기데이터신호(DATA) 및 클럭신호(CLK)는 광송수신기의 접속표준에 따라 LVDS 신호(Low Voltage Differential Signal)가 사용될 수 있다.

<22> 계속해서, STM-256 삽입추출기(200)와 상위의 STM-256 프레이머(100) 사이의 접속 관계를 살펴보면 다음과 같다.

<23> STM-256 삽입추출기(200)를 구성하는 STM-64 삽입추출기(210, 220, -, 240)로부터 STM-256 프레이머(100)로의 상향접속을 살펴보면, STM-256 삽입추출기(200)와 STM-256 프레이머(100) 사이에는 64개 채널의 622 Mbps 전기데이터신호(DATA)와 1개 내지 4개의 622 MHz 클럭신호(CLK)가 연결된다. 각 채널의 전기데이터신호(DATA)와 클럭신호(CLK)는 동기화 되어 있으며, 연결되는 클럭신호의 수는 STM-256 프레이머(200)의 요구에 따라 가변된다. 그리고, STM-256 프레이머(100)로부터 STM-64 삽입추출기(210, 220, -, 240)로의 하향접속을 살펴보면, 64개 채널의 622 Mbps 전기데이터신호(DATA)와 1개 내지 4개의 622 MHz 클럭신호(CLK)가 연결된다. 하향접속은 상향접속에서와 마찬가지로 각 채널의 전기데이터신호와 클럭신호가 동기화되어 있으며, 연결되는 클럭신호의 개수는 STM-256 프레이머(100)의 요구에 따라 가변된다. 이 때, 각 전기데이터신호(DATA) 및 클럭신호(CLK)는 광송수신기(300)의 접속표준에 따라 차동 CML(common mode logic) 신호가 사용된다.

<24> 도 3은 도 2에 도시된 STM-64 삽입추출기(210, 220, -, 240)를 위한 STM-64 데이터 프레임(20)의 구조를 보여주는 도면이다.

<25> 도 3을 참조하면, 본 발명에 따른 STM-64 데이터 프레임(20)은, 크게 섹션오버헤드(21)와 페이로드(22)로 구성된다. 본 발명에서는 섹션오버헤드(21)에 포함 된

임의의 4 바이트를 STM 신호의 삽입 및 추출에 사용한다. 일반적으로, 섹션오버헤드(21)에는 사용자들의 장래의 사용을 위하여 예약된 바이트들이 존재하므로, 본 발명에서는 이 바이트들을 이용하여 STM 신호의 삽입 및 추출을 수행한다.

<26> 계속해서, [표 1] 내지 [표 4]는 섹션오버헤드(21)에 포함된 임의의 4 바이트 각각이 의미하는 상태를 각각 나타낸다.

<27> 【표 1】

1번 바이트 값	상태
x0	통과
xF	추출 또는 삽입

<28> 【표 2】

2번 바이트 값	상태
00	L-1번 채널
0F	L-2번 채널
F0	L-3번 채널
FF	L-4번 채널

<29> 【표 3】

3번 바이트 값	상태
00	L-1번 채널
0F	L-2번 채널
F0	L-3번 채널
FF	L-4번 채널

<30> 【표 4】

4번 바이트 값	상태
x0	페이로드 vacant
xF	페이로드 full

<31> [표 1] 내지 [표 4]를 참조하여 STM-256 삽입 추출기(200)의 삽입 및 추출 동작을 살펴보면 다음과 같다.

<32> 섹션오버헤드(21)에 설정된 임의의 4 바이트 중 1번 바이트(2101)는 해당 데이터 프레임의 삽입 또는 추출 여부를 지시하는 바이트로서, 상기 1번 바이트(2101)의 값이 'x0(hexa)'이면 해당 프레임에 STM 신호가 삽입 또는 추출되지 않고 통과되는 것을 나타내고, 그 값이 'xF(hexa)'이면 해당 프레임에 STM 신호가 삽입 또는 추출되어질 것임을 각각 나타낸다. 임의의 4 바이트 중 2번 바이트(2102)는 삽입 또는 추출되어지는 데이터 프레임의 원 채널정보, 즉 발신지 주소를 나타낸다. 임의의 4 바이트 중 3번 바이트(2103)는 삽입 또는 추출되어지는 데이터 프레임의 목적지의 채널정보, 즉 목적지 주소를 나타낸다. 그리고, 임의의 4 바이트 중 4번 바이트(2104)는 해당 프레임의 페이로드가 비어있는지 채워져 있는지 여부를 나타낸다. 이 때, 각 바이트의 값은 임의의 값으로 정해지며, 실제 적용에서는 다양한 값들이 사용될 수 있다.

<33> 도 4는 도 2에 도시된 STM-256 삽입추출기(200)를 구성하는 각 STM-64 삽입추출기들(210, 220, ..., 240)의 내부 클럭 연결 관계를 보여주는 도면이다.

<34> 도 2 내지 도 4를 참조하면, STM-256 삽입추출기(200)는 4 개의 STM-64 삽입추출기들(210, 220, ..., 240)과, 이들의 데이터 입출력을 스위칭하는 4× 전기 스위치(250)로 구성된다. 각 STM-64 삽입추출기들(210, 220, ..., 240)은 크게 1 개의 추출기(212, 222, ..., 242)와, 1 개의 삽입기(216, 226, ..., 246) 쌍으로 구성되고, 각 삽입기 및 추출기들에는 한 쌍의 입출력 FIFO들이 각각 연결된다. 그리고, STM-256 삽입추출기(200)의 내부에는 클럭생성기(261)와, 멀티플렉서(262)가 구비되어 있어(도 4 참조), 클럭생성기(261)에서 발생된 내부 공진 클럭과, 외부로부터 입력되는 클럭 신호 중 어느 하나를 선택

택하여 기준내부클럭으로 사용한다. 멀티플렉서(262)에 의해 선택된 상기 내부클럭신호는 각각의 STM-64 추출기들(212, 222, ..., 242)과 4× 전기 스위치(150)에게 전송된다.

<35> 각 STM-64 추출기들(212, 222, ..., 242)은 STM-64 신호 프레임(20)의 섹션오버헤드(21)를 해독하여 16 개의 전기신호에 담긴 데이터를 STM-256 프레임머(100)의 신호경로 또는 4× 전기스위치(250)의 입력경로로 출력한다. STM-64 프레임(20)의 섹션오버헤드(21)에는 상기 두 경로 중 어느 하나를 선택할 수 있도록 임의의 바이트를 예정하고 있으며, STM-256 프레임머(100)로 출력되는 프레임 중 4× 전기스위치(250)로부터 추출된 프레임(20)이 있던 프레임의 섹션오버헤드(21)에는 해당 프레임이 비어있는 프레임이라는 표시가 포함되어 STM-256 프레임머(100)로 전달된다.

<36> 예를 들어, STM-64 프레임(20)의 섹션오버헤드(21)의 1번 바이트(2101)가 'x0'의 값을 가지면 해당 프레임은 STM 신호의 삽입 추출 없이 STM-256 프레임머(100)로 바로 연결된다. 그리고, 섹션오버헤드(21)의 1번 바이트(2101)가 'xF'의 값을 가지면 해당 프레임을 4× 전기스위치(250)로 전달함과 동시에 해당 프레임의 페이로드(22)를 지우고, 4번 바이트(2104)의 값을 'x0'으로 세팅하여 페이로드(22)가 비어있음을 나타낸 후, STM-256 프레임머(100)로 전달하게 된다.

<37> 도 5는 도 4에 도시된 STM-64 추출기(212)에 대한 클럭 및 데이터 흐름의 예를 보여주는 도면이다.

<38> 도 5를 참조하면, STM-64 추출기(212)의 입력단 FIFO(이하 Drop-In-FIFO라 칭함 ; 211)의 입력측 클럭은 광송수신기(300)로부터 전달된 클럭신호를 사용하고, Drop-In-FIFO(211)의 출력측 클럭은 STM-256 삽입추출기(200)의 내부클럭을 사용한

다. 그리고, STM-64 추출기(212)의 출력단 FIFO (이하 Drop-Out-FIFO이라 칭함 ; 213)의 입력측 클럭은 STM-256 삽입추출기(200)의 내부클럭을 사용하고, Drop-Out-FIFO(213)의 출력측 클럭은 STM-256 프레임머(100)로부터 전달된 클럭신호를 사용한다.

<39> 도 6은 도 4에 도시된 STM-64 삽입기(216)에 대한 클럭 및 데이터 흐름의 예를 보여주는 도면이다.

<40> 도 6을 참조하면, STM-64 삽입기(216)는 상위 STM-256 프레임머(100)로부터 하위 서브망 쪽으로 전송되는 데이터 프레임의 흐름에 4× 전기스위치(250)로부터 전달되어온 프레임을 삽입하는 기능을 수행한다.

<41> STM-64 삽입기(216)는 주 데이터 프레임(즉, STM-256 프레임머(100)로부터 전달되어온 프레임)의 오버헤드를 관찰하여 비어있는 프레임을 인식한다. 그리고, 상기 비어있는 프레임의 위치에 4× 전기스위치(250)로부터 전달되어온 프레임을 삽입한다. 이 때 삽입되는 프레임의 오버헤드에는 해당 프레임이 STM-256 프레임머(100)로부터 전달되어온 것인지, 또는 4× 전기스위치(250)로부터 삽입된 것인지를 구별할 수 있도록 소정의 표식을 갖는다. 이는, 각 하위 서브망마다 고유의 주소지 정보를 할당하고, 이 정보를 해당 프레임의 오버헤드에 삽입함으로써 이를 수 있다.

<42> 예를 들어, STM-256 프레임머(100)로부터 전달된 데이터 프레임의 오버헤드의 4번 바이트(2104)의 값이 'x0'이면, 이 프레임의 위치에 4× 전기스위치(250)로부터 전달되어온 프레임을 삽입한다.

<43> 본 발명에서는 이와 같이 STM-256 프레임머(100)로부터 전달된 데이터 프레임의 오버헤드를 관찰하는 동안 4× 전기스위치(250)로부터 전달되어온 프레임을 대기시킬 수

있도록 4×4 전기스위치(250)와 삽입기(216)의 중간에 메모리(219)를 구비한다(도 2 참조). 상기 메모리(219)는 4×4 전기스위치(250)로부터 전달되어온 프레임을 저장한 후, 삽입기(216)의 제어에 응답해서 메모리(219)에 저장되어 있는 데이터를 삽입기(216) 쪽으로 출력한다.

<44> 계속해서 도 6에 도시된 STM-64 삽입기(216)의 입출력 FIFO(215, 217)에서 사용되는 클럭을 살펴보면 다음과 같다.

<45> STM-64 삽입기(216)의 입력단 FIFO(이하 Add-In-FIFO라 칭함 ; 215)의 입력측 클럭은 STM-256 프레임머(100)로부터 전달되어온 클럭신호를 사용하고, Add-In-FIFO(215)의 출력측 클럭은 STM-256 삽입추출기(200)의 내부클럭을 사용한다. 그리고, STM-64 삽입기(216)의 출력단 FIFO(이하 Add-Out-FIFO라 칭함 ; 217)의 입력측 클럭은 STM-256 삽입추출기(200)의 내부클럭을 사용하고, Add-Out-FIFO(217)의 출력측 클럭은 광송수신기(300)로부터 전달되어온 클럭을 사용한다.

<46> 앞에서 설명한 바와 같이, 각 삽입추출기(210, 220, ..., 240)의 클럭은 STM-256 삽입추출기(200)의 내부클럭을 사용한다. 그리고, 각 광송수신기(300)와 STM-256 프레임머(100)와의 입출력 클럭과 별도의 내부클럭을 사용함으로써, 각 광송수신기(300)의 입출력 및 STM-256 프레임머(100)의 입출력과 동기를 맞추게 된다.

<47> 계속해서 도 4 내지 도 6을 참조하여 4×4 전기스위치(250)의 구성 및 동작을 살펴보면 다음과 같다.

<48> 4×4 전기스위치(250)는 해독기(251), 메모리(252), 스위치(253), FIFO(254), 및 스위치 제어기(255)로 구성된다. 4×4 전기스위치(250)의 해독기(251)는 각 STM-64 추출기

(212, 222, ..., 242)로부터 전달된 프레임의 오버헤드를 해독하여 목적지에 해당되는 STM-64 삽입기(216, 226, ..., 246)의 정보를 획득하고, 이 정보를 스위치 제어기(255)에게 전달한다. 스위치(253)는 스위치 제어기(255)의 제어에 응답해서 각각의 STM-64 추출기(212, 222, ..., 242)로부터 전달된 프레임을 목적지에 해당되는 STM-64 삽입기(216, 226, ..., 246)로 연결해 주는 역할을 수행한다.

<49> 스위치 제어기(255)는 입력된 STM-64 삽입기(216, 226, ..., 246)의 정보에 응답해서 스위치(253)의 경로를 제어하여, 입력된 프레임을 해당 출력포트로 출력하도록 한다.

4×4 전기스위치(250)는 동일 목적 포트에 프레임이 동시에 출력되는 것을 방지하기 위해 해독기(251)와 스위치(253)의 입력포트 사이에 데이터 메모리(252)를 구비한다. 상기 데이터 메모리(252)는 스위치 제어기(255)의 제어를 받는다. 이 같은 구성을 갖는 4×4 전기스위치(250)는 STM-256 삽입추출기(200)의 내부클럭을 기준클럭으로 사용하며, 4×4 전기스위치(250)에 입력된 프레임의 오버헤드 값에 따른 동작과정은 다음과 같다.

<50> 4×4 전기스위치(250)는 각 STM-64 추출기(212, 222, ..., 242)로부터 전달된 프레임(20)에 포함된 색선오버헤드(21)의 2번 바이트(2102)와 3번 바이트(2103)를 읽어서 발신지 주소와 목적지 주소를 알아낸다. 그리고, 상기 정보를 스위치 제어기(255)로 전달하여 데이터 메모리(252)의 상태와 스위치(253)의 스위칭 상태를 조절하고, FIFO(254)를 통해 해당 프레임을 목적지 채널로 출력한다. 이 같은 기능을 수행하는 본 발명에 따른 STM-256 삽입추출기(200)는 단일 칩의 형태 또는 FPGA(Field-Programmable Gate Array)로 구현되어 실제 응용에 적용될 수 있다.

<51> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성을

에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

<52> 이상에 설명한 바와 같이, 본 발명에 의한 STM-256 삽입추출기에 의하면, 하위 STM-64 서브망간에 별도의 통신선로 없이도 저속의 데이터 통신 및 유지보수신호의 통신을 할 수 있으며, STM-256 프레임어 및 각 광송수신기에 동기화된 데이터를 제공해 줄 수 있다.

【특허청구범위】**【청구항 1】**

STM(Synchronous Transfer Mode)-256 프레임머와 광송수신기 사이에서 저속의 STM 신호에 대한 다중화, 및 상기 STM 신호에 대한 삽입 및 추출을 수행하고, 상기 STM-256 프레임머 및 상기 광송수신기에 동기화된 데이터를 제공해주는 제 1 내지 제 4 STM-64 삽입추출기; 및

상기 STM-64 삽입추출기들의 데이터 입력력에 관한 스위칭을 수행하는 스위치부를 포함하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 2】

제 1 항에 있어서, 상기 STM-256 삽입추출기는

내부공진클럭을 발생하는 클럭생성기; 및

상기 클럭생성기로부터 발생된 상기 클럭신호 및 외부로부터 입력된 클럭신호 중 어느 하나를 선택하여 상기 제 1 내지 제 4 STM-64 삽입추출기 및 상기 스위치부에 전송하는 멀티플렉서를 더 포함하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 3】

제 1 항에 있어서, 상기 각각의 STM-64 삽입추출기는

상기 STM 신호 프레임의 오버헤드를 분석하여 상기 신호를 상기 STM-256 프레임머의 신호 경로 및 상기 스위치부의 입력 경로 중 어느 하나로 출력하는 STM-64 추출기; 및

상기 STM-256 프레임으로부터 하위 서브망 쪽으로의 프레임의 흐름에 상기 스위치
부로부터 전달된 프레임을 삽입하는 STM-64 삽입기를 포함하는 것을 특징으로 하는
STM-256 삽입추출기.

【청구항 4】

제 1 항에 있어서,

상기 STM 신호 프레임은, 상기 프레임의 오버헤드 영역에

데이터 프레임의 삽입 또는 추출 여부를 지시하기 위한 제 1 제어 바이트;

삽입 또는 추출되는 상기 데이터 프레임의 발신지 주소를 나타내는 제 2 제어 바이트;

삽입 또는 추출되는 상기 데이터 프레임의 목적지 주소를 나타내는 제 3 제어 바이트; 및

상기 데이터 프레임의 페이로드가 비어있는지 여부를 나타내는 제 4 제어 바이트를
포함하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 5】

제 3 항에 있어서,

상기 STM-64 삽입기는 상기 프레임의 오버헤드 분석 결과 상기 프레임의 페이로드
가 비어있는 것으로 판단되면 상기 빈 영역에 상기 스위치부로부터 전송된 프레임을 삽
입하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 6】

제 3 항에 있어서,

상기 STM-256 삽입추출기는 상기 각각의 STM-64 삽입기와 상기 스위치부 사이에 연결되어, 상기 프레임의 오버헤드 분석시 상기 스위치부로부터 전달된 프레임을 저장하는 메모리를 더 포함하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 7】

제 3 항에 있어서,

상기 STM-256 삽입추출기는 상기 각각의 STM-64 추출기의 입력 단자에 연결된 제 1 내지 제 4 입력 버퍼를 더 포함하며,

상기 입력 버퍼들은 상기 광송수신기로부터 전달된 클럭 신호를 입력측 클럭으로 사용하고, 상기 STM-256 삽입 추출기의 내부 클럭 신호를 출력측 클럭으로 사용하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 8】

제 3 항에 있어서,

상기 STM-256 삽입추출기는 상기 각각의 STM-64 추출기의 출력 단자에 연결된 제 1 내지 제 4 출력 버퍼를 더 포함하며,

상기 출력 버퍼들은 상기 STM-256 삽입 추출기의 내부 클럭 신호를 입력측 클럭으로 사용하고, 상기 STM-256 프레임으로부터 전달된 클럭 신호를 출력측 클럭으로 사용하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 9】

제 3 항에 있어서,

상기 STM-256 삽입추출기는 상기 각각의 STM-64 삽입기의 입력 단자에 연결된 제 5 내지 제 8 입력 버퍼를 더 포함하며,

상기 입력 버퍼들은 상기 STM-256 프레임으로부터 전달된 클럭 신호를 입력측 클럭으로 사용하고, 상기 STM-256 삽입 추출기의 내부 클럭 신호를 출력측 클럭으로 사용하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 10】

제 3 항에 있어서,

상기 STM-256 삽입추출기는 상기 각각의 STM-64 삽입기의 출력 단자에 연결된 제 5 내지 제 8 출력 버퍼를 더 포함하며,

상기 출력 버퍼들은 상기 STM-256 삽입 추출기의 내부 클럭 신호를 입력측 클럭으로 사용하고, 상기 광송수신기로부터 전달된 클럭 신호를 출력측 클럭으로 사용하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 11】

제 1 항에 있어서, 상기 스위치부는

상기 각각의 STM-64 추출기로부터 전달된 프레임의 목적지에 해당되는 임의의 STM-64 삽입기로 연결해 주는 스위치;

상기 각각의 STM-64 추출기로부터 전달된 상기 프레임의 오버헤드를 해독하여 상기 목적지 정보를 획득하는 해독기; 및

상기 해독기에 의해 획득된 상기 목적지 정보에 응답해서 상기 스위치의 경로를 제어하는 스위치 제어기를 포함하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 12】

제 11 항에 있어서,

상기 스위치부는 상기 해독기와 상기 스위치 사이에 연결되어 동일한 목적지로 상기 프레임이 동시에 출력되는 것을 방지하는 데이터 메모리를 더 포함하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 13】

제 11 항에 있어서,

상기 스위치부는 상기 스위치로부터 출력되는 프레임을 임시 저장하기 위한 출력 버퍼를 더 포함하는 것을 특징으로 하는 STM-256 삽입추출기.

【청구항 14】

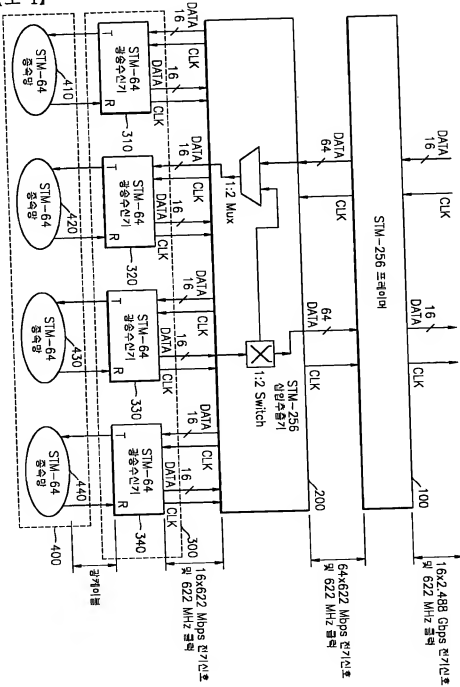
제 11 항에 있어서,

상기 스위치는 4× 전기 스위치인 것을 특징으로 하는 STM-256 삽입추출기.

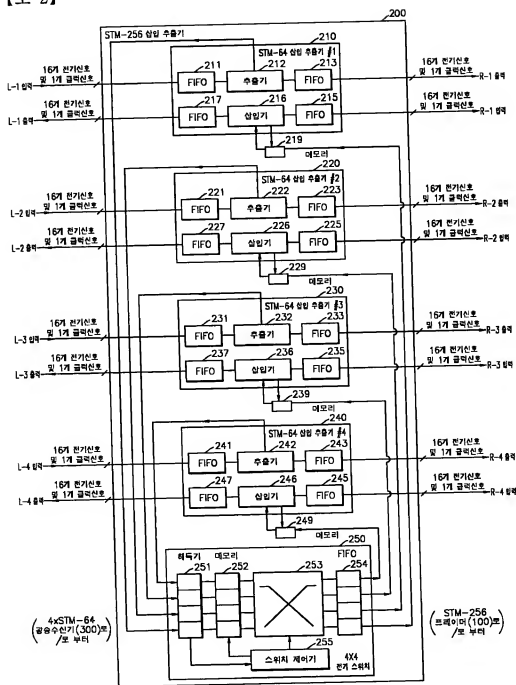
1020030013607

【도면】

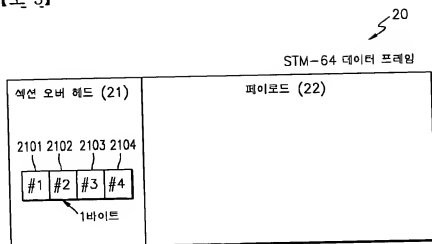
【도 1】



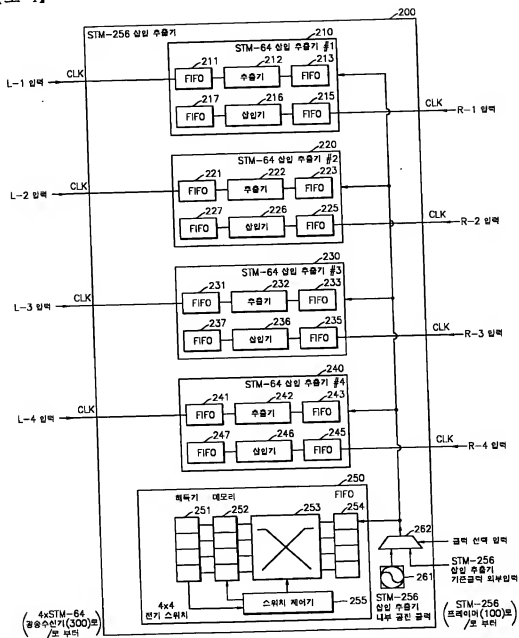
【도 2】



【도 3】

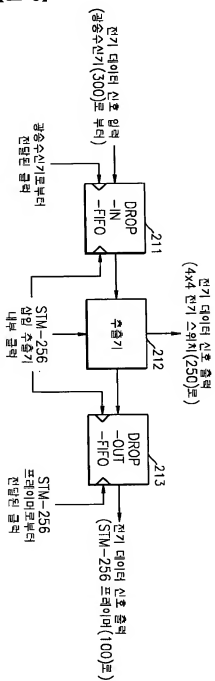


【도 4】





【도 5】



【도 6】

